



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11297829 A**

(43) Date of publication of application: 29.10.99

(51) Int. Cl.

H01L 21/768
H01L 21/312

(21) Application number: 10104439

(22) Date of filing: 15.04.98

(71) Applicant: **NEC CORP**

(72) Inventor: YOKOYAMA KOJI
USAMI TATSUYA

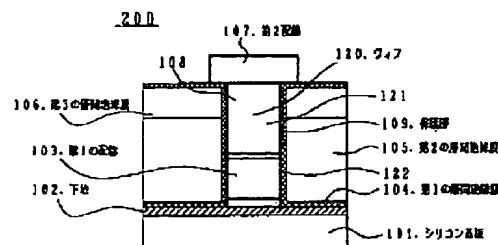
**(54) SEMICONDUCTOR DEVICE AND
MANUFACTURE THEREOF**

COPYRIGHT: (C)1999,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device provided with low-specific dielectric constant insulating interlayer films, by a method wherein when a photoresist is removed by an oxygen plasma treatment or an etching residue is removed with a wet release solution, an HSQ film and an organic SOG film are prevented from being deteriorated.

SOLUTION: This device 200 is a semiconductor device of a structure, wherein a wiring part 103 with the end part which comes into contact with a substrate 101 on one side of the end parts thereof, and a via part 120 consisting of a metal layer 121 which is arranged on the other end part of the wiring part 103, are formed in an open part 108 being provided between interlayer insulating films 105 on the substrate 101. Here, the device is constituted into such a structure that a protective film 109 is formed on the surface part of the inner wall part, which opposes to at least this via part 120 in the open part 108, of the open part 108.



(19)日本国特許庁 (JP)

(12) 特許公報 (B2)

(11)特許番号

特許第3250518号

(P3250518)

(45)発行日 平成14年1月28日(2002.1.28)

(24)登録日 平成13年11月16日(2001.11.16)

(51)Int.Cl.⁷

H 0 1 L 21/768
21/312

識別記号

F I

H 0 1 L 21/312
21/90

B
A

請求項の数10(全 10 頁)

(21)出願番号 特願平10-104439

(22)出願日 平成10年4月15日(1998.4.15)

(65)公開番号 特開平11-297829

(43)公開日 平成11年10月29日(1999.10.29)
審査請求日 平成10年4月15日(1998.4.15)

(73)特許権者 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 横山 孝司

東京都港区芝五丁目7番1号 日本電気
株式会社内

(72)発明者 宇佐美 達矢

東京都港区芝五丁目7番1号 日本電気
株式会社内

(74)代理人 100070530

弁理士 畑 泰之

審査官 斎藤 恭一

(54)【発明の名称】 半導体装置及びその製造方法

(57)【特許請求の範囲】

【請求項1】 基板上に形成されている低比誘電率を呈する材料で構成されている層間絶縁膜間に設けられている開口部内に、一端部が当該基板に接する配線部と当該配線部の他端部上に配置せしめられている金属層からなるビア部とが形成されている半導体装置であって、当該開口部に於ける少なくとも該ビア部に接する当該層間絶縁膜の内壁部表面に水素プラズマで形成された保護膜が存在する事を特徴とする半導体装置。

【請求項2】 当該低比誘電率を呈する材料は、Si-H結合若しくはSi-C-H₃結合を含む絶縁材料から選択された一つの絶縁材料で構成されるものである事を特徴とする請求項1記載の半導体装置。

【請求項3】 当該開口部に於いて、当該配線部と当該層間絶縁膜の間には、当該層間絶縁膜とは異なる絶縁膜

の層が形成されている事を特徴とする請求項1又は2に記載の半導体装置。

【請求項4】 基板上に形成されている低比誘電率を呈する材料で構成されている層間絶縁膜間に設けられている開口部を有する溝部内に、一端部が当該基板に接する配線部が埋め込まれており、且つ当該溝部内に於ける当該配線部と接触する内壁部の表面部に水素プラズマで形成された保護膜が形成されている事を特徴とする半導体装置。

【請求項5】 当該低比誘電率を呈する材料は、Si-H結合若しくはSi-C-H₃結合を含む絶縁材料から選択された一つの絶縁材料で構成されるものである事を特徴とする請求項4記載の半導体装置。

【請求項6】 当該開口部を除く当該層間絶縁膜の表面には、当該層間絶縁膜とは異なる絶縁膜層が形成されて

最終頁に続く

いる事を特徴とする請求項4又は5に記載の半導体装置。

【請求項7】 基板上に形成されている低比誘電率を呈する材料で構成されている層間絶縁膜間に配線部が設けられている半導体装置の製造方法であって、当該半導体装置の製造方法は、

当該半導体基板上に適宜の配線部を形成する第1の工程、

当該配線部を有する半導体基板上に低比誘電率を呈する材料で構成された層間絶縁膜を形成する第2の工程、

当該層間絶縁膜上にフォトレジストを塗布し、当該フォトレジスト層に設けた所定のパターン開口部をマスクとして、当該層間絶縁膜をエッチングして当該配線部に迄到達する溝部状の開口部を形成する第3の工程、

当該半導体基板に於ける当該溝部状の開口部の内壁部表面に水素プラズマで保護膜を形成する第4の工程、

当該フォトレジスト層を剥離する第5の工程、

とから構成されている事を特徴とする半導体装置の製造方法。

【請求項8】 当該低比誘電率を呈する材料は、Si—H結合若しくはSi—CH₃結合を含む絶縁材料から選択された一つの絶縁材料で構成されるものである事を特徴とする請求項7記載の半導体装置の製造方法。

【請求項9】 当該第5の工程が、少なくとも酸素プラズマを使用して当該フォトレジスト層を剥離除去する工程とフッ化アンモニウムもしくはアミンを含む剥離液により当該フォトレジスト層を剥離除去する工程の何れかを含んでいる事を特徴とする請求項7記載の半導体装置の製造方法。

【請求項10】 基板上に形成されている層間絶縁膜間に配線部が設けられている半導体装置の製造方法であって、当該半導体装置の製造方法は、

当該半導体基板上に低比誘電率を呈する材料で構成された層間絶縁膜を形成する第1の工程、

当該層間絶縁膜上にフォトレジストを塗布し、当該フォトレジスト層に設けた所定のパターン開口部をマスクとして、当該層間絶縁膜をエッチングして当該基板に迄到達する溝部状の開口部を形成する第2の工程、

当該半導体基板に於ける当該溝部状の開口部の内壁部表面に水素プラズマで保護膜を形成する第3の工程、

当該フォトレジスト層を剥離する第4の工程、

当該溝部状開口部内に金属配線層を埋め込む第5の工程、

とから構成されている事を特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置及び半導体装置の製造方法に関し、特に詳しくは、低比誘電率をもつ材料で形成された絶縁層間膜を有する半導体装置に

於て、配線層等を形成する際のエッチング処理後のフォトレジスト層の剥離処理に際して、当該絶縁層間膜の劣化を防止した半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術】 近年、LSIの信号処理の高速化の要求は年々増加している。LSIの信号処理速度は、主にトランジスタ自体の動作速度及び配線での信号伝播遅延時間の大小で決まってくる。従来、大きく影響を及ぼしていたトランジスタの動作速度は、トランジスタのサイズを縮小化することで向上させてきた。しかし、設計ルールが0.25ミクロンをきるLSIでは、後者の配線の信号伝播遅延に関する影響が大きく現れはじめている。特に配線層が4層を超える多層配線層を有するLSIデバイスにおいては、その影響は大きい。

【0003】 そこで、配線の信号伝播遅延を改善する方法として、従来のシリコン酸化膜による層間絶縁膜に代わり、比誘電率の低い層間絶縁膜が検討されている。その中で3.0程度の比誘電率を得ることができるHSQおよび有機SOGは完成度が高く量産化が期待されている。まずははじめにHSQについて説明を行う。HSQはシリコン酸化膜のSi—O結合の一部をSi—H結合で置き換えた形の樹脂であり、基板上に塗布し加熱焼成することで層間絶縁膜として使用する。

【0004】 HSQはそのほとんどが従来のシリコン酸化膜と同様のSi—O結合から形成されていることから、500°C程度まで誘電率が低い状態で耐熱性を有している。しかし、HSQ膜を層間絶縁膜に適用し、通常のリソグラフィー法及びエッチング法により各種パターンを形成した場合、パターニングに使用したフォトレジストを除去する工程で、HSQ膜が劣化し、タンゲステン等のプラグ形成工程で、ヴィアが埋設されないポイントヴィア等の問題が発生する。

【0005】 これは、フォトレジスト剥離工程でHSQ膜中の水成分が増加することに起因している。フォトレジストの剥離工程は、通常、酸素プラズマ処理で殆どのフォトレジストを剥離し、その後ウェット剥離液にてフォトレジストの剥離残り及びエッチング残さを除去する。しかし、酸素プラズマ処置を実施すると、HSQ膜中のSi—H結合が破壊され、容易にSi—OH結合に変換形成されてしまう。さらに、その後のウェット剥離液による処理工程において、ヒドロキシルアミンやエタノールアミン等のアミン原子団が含有されたウェット剥離液を使用すると、酸素プラズマ処理と同様に、HSQ膜中のSi—H結合が殆ど破壊されSi—OH結合が形成される。

【0006】 また、ウェット剥離液としてフッ化アンモニウムが含有されたものを使用した場合、HSQ膜の劣化とともにHSQ膜自体がエッチングされ、ヴィアホール等の形状がボーリング形状になり、ヴィア間リーキや

ショートの問題を引き起こす。さらにタングステン等の金属の埋め込み不良を招く。また、次に有機SOGはSi—CH₃結合をもつ膜で前記HSQと同様に酸素プラズマによるアッシングに弱くSi—CH₃結合が容易にSi—OHになってしまふ。また酸化膜に比べ比較的ポーラスなためフッ化アンモニウムに対しエッティング耐性がない点もHSQと同様である。

【0007】図6に従来の方法により製造された半導体装置の例を示し、その問題点を詳細に説明をする。ここではHSQを用いた例を示す。つまり、基板1上にAl等の金属による第1配線3と、第1層間絶縁膜としてシリコン酸化膜4を形成し、その後に第2層間絶縁膜5として塗布膜であるHSQ膜を形成する。その後、第3層間絶縁膜6としてプラズマCVD法等を使用してシリコン酸化膜を形成した半導体装置10の例を示す。

【0008】係る従来例に於て、パターンを周知のフォトリソグラフィー及びエッティングにより形成し、その後、フォトレジストを酸素プラズマで剥離する工程において、HSQ膜5中Si—OH結合が形成され、当該HSQ膜5の膜質が劣化する(図6(A))。さらにフォトレジスト剥離残り及びエッティング残さを除去するためには、アミン原子団を有するウェット剥離液、或いはフッ化アンモニウムを含むウェット剥離液による処理を実施すると、HSQ膜5中にSi—OH結合が形成される。

【0009】また、特にフッ化アンモニウムが含有されたウェット剥離液を使用すると、HSQ膜5がエッティングされ、図6(B)のようにボーリング形状となる。これは、フッ化アンモニウムがシリコン酸化膜をエッティングするからであり、特にHSQ膜はCVD法等で形成した膜よりも、エッティングレートが非常に大きいからである。

【0010】このようなボーリング形状になると、ヴィア間リーコやショートを引き起こすだけでなく、タングステン等の金属の埋め込み不良を招く。また、HSQ膜5中にSi—OHが形成されることにより、HSQ膜の比誘電率が上昇する。従って、比誘電率を低下させて半導体装置を製造するには、問題で有った。尚、特開平1-192137号公報には、SOG法を使用した絶縁層間膜にヴィアホールを形成する際、フォトレジスト層を剥離除去する際に当該絶縁層間膜が劣化する問題を解決する為の技術思想は開示されていない。

【0011】又、特開平1-191450号公報には、絶縁層間膜にエッティングによって開口部を形成した後、当該開口部に対してコリン液による処理と酸素プラズマ処理を行う事により、金属電極部の抵抗値の変化を防止する技術が開示されているが、低誘電率材料であるHSQ及び有機SOGを絶縁層間膜に使用した場合の当該絶縁層間膜の劣化を防止する技術に関しては開示がない。

【0012】一方、特開平4-262531号公報及び特開平4-263428号公報には、絶縁層間膜の耐ア

ッシング性向上を目的として、絶縁層間膜にコンタクトホールを形成した後、当該コンタクトホール内に酸素プラズマを適用して無機化処理を行う方法が示されているが、上記と同様に低誘電率材料であるHSQ及び有機SOGを絶縁層間膜に使用した場合の当該絶縁層間膜の劣化を防止する技術に関しては開示がない。

【0013】又、特開平5-114656号公報には、絶縁層間膜に設けたヴィアホール内の金属電極のコンタクト性を向上すると共に、当該ヴィアホールの側壁部から発生する脱ガスを抑制する事を目的として、当該ヴィアホール内をプラズマ処理する技術が開示されているが、上記と同様に低誘電率材料であるHSQ及び有機SOGを絶縁層間膜に使用した場合の当該絶縁層間膜の劣化を防止する技術に関しては開示がない。

【0014】

【発明が解決しようとする課題】従って、本発明の目的は、前記で記述した課題を解決することである。つまり、各種パターン形成に使用したフォトレジストを酸素プラズマ処理で除去する際、及びエッティング残さを除去する際に使用するウェット剥離液で、HSQ膜および有機SOGが劣化、及びそれらの膜自体がエッティングされないようにすることによって、比誘電率の低い絶縁層間膜を持った半導体装置を製造する技術を提供するものである。

【0015】

【課題を解決するための手段】本発明は上記した目的を達成するため、以下に記載されたような技術構成を採用するものである。即ち、本発明に係る第1の態様としては、基板上に形成されている低比誘電率を呈する材料で構成されている層間絶縁膜間に設けられている開口部内に、一端部が当該基板に接する配線部と当該配線部の他端部上に配置せしめられている金属層からなるビア部とが形成されている半導体装置であって、当該開口部に於ける少なくとも該ビア部に接する当該層間絶縁膜の内壁部表面に水素プラズマで形成されている半導体装置であり、又本発明に係る第2の態様としては、基板上に形成されている低比誘電率を呈する材料で構成されている層間絶縁膜間に設けられている開口部を有する溝部内に、一端部が当該基板に接する配線部が埋め込まれており、且つ当該溝部内に於ける当該配線部と接触する内壁部の表面部に水素プラズマで形成された保護膜が形成されている半導体装置である。

【0016】更に、本発明に係る第3の態様としては、基板上に形成されている低比誘電率を呈する材料で構成されている層間絶縁膜間に配線部が設けられている半導体装置の製造方法であって、当該半導体装置の製造方法は、当該半導体基板上に適宜の配線部を形成する第1の工程、当該配線部を有する半導体基板上に低比誘電率を呈する材料で構成された層間絶縁膜を形成する第2の工程、当該層間絶縁膜上にフォトレジストを塗布し、当該

フォトレジスト層に設けた所定のパターン開口部をマスクとして、当該層間絶縁膜をエッチングして当該配線部に迄到達する溝部状の開口部を形成する第3の工程、当該半導体基板に於ける当該溝部状の開口部の内壁部表面に水素プラズマで保護膜を形成する第4の工程、当該フォトレジスト層を剥離する第5の工程、とから構成されている半導体装置の製造方法であり、又、本発明に係る第4の態様としては、基板上に形成されている層間絶縁膜間に配線部が設けられている半導体装置の製造方法であって、当該半導体装置の製造方法は、当該半導体基板上に低比誘電率を呈する材料で構成された層間絶縁膜を形成する第1の工程、当該層間絶縁膜上にフォトレジストを塗布し、当該フォトレジスト層に設けた所定のパターン開口部をマスクとして、当該層間絶縁膜をエッチングして当該基板に迄到達する溝部状の開口部を形成する第2の工程、当該半導体基板に於ける当該溝部状の開口部の内壁部表面に水素プラズマで保護膜を形成する第3の工程、当該フォトレジスト層を剥離する第4の工程、当該溝部状開口部内に金属配線層を埋め込む第5の工程、とから構成されている半導体装置の製造方法である。

【0017】

【発明の実施の形態】本発明に係る当該半導体装置及び半導体装置の製造方法は、上記した様な技術構成を採用しており、その技術的な特徴部分は、HSQまたは有機SOGを一部に含んだ層間膜をフォトレジストマスクで加工したのち、そのフォトレジストを酸素プラズマアッシングを行い、次にウェット剥離という順番で除去する場合、フォトレジストを酸素プラズマを用いて剥離する前、或いはウェット剥離液による処理を実施する前に、HSQ膜および有機SOGの側面表面を酸化および窒化或いは水素化することにより内部のそれらの膜を保護する構造を持たせる様にしたことである。

【0018】また、その保護膜を形成する方法として、水素或いは窒素を含有したガスによるプラズマ処理により、HSQまたは有機SOG膜の表面部分を改質する方法と更には、UV光処理を併用して、上記保護膜を形成する方法も提供する。

【0019】

【実施例】以下に、本発明に係る半導体装置及び半導体装置の製造方法の具体例を図1～図4を参照しながら詳細に説明する。即ち、図1は、本発明に係る半導体装置の一具体例の構成を示す断面図であり、図中、基板101上に形成されている層間絶縁膜105の間に設けられている開口部108内に、一端部が当該基板101に接する配線部103と当該配線部103の他端部上に配置せしめられている金属層121からなるビア部120とが形成されている半導体装置200であって、当該開口部108に於ける少なくとも該ビア部120に對向する内壁部の表面部に保護膜109が形成されている半導体

装置200が示されている。

【0020】本発明に於ける当該半導体装置に於て使用される当該層間絶縁膜105は、低比誘電率を呈する材料で構成されている事が望ましく、当該当該低比誘電率を呈する材料としては、例えばSi-H結合若しくはSi-CH₃結合を含む絶縁材料から選択された一つの絶縁材料で構成されるものである事が望ましい。又、本発明に於ける当該半導体装置に於ける当該開口部108の少なくとも該配線部103に對向する内壁部の表面部122には、当該層間絶縁膜105とは異なる絶縁膜の層104が形成されているものである。

【0021】尚、当該半導体装置200に於て、前記した当該層間絶縁膜105の上に更に別の絶縁層間膜106を積層し、当該絶縁層間膜106の上には第2の配線107が形成されている。前記第1の配線103と第2の配線107はヴィア120で接続されている構造を持つ。以下に本発明に係る上記した具体例の当該半導体装置200を製造する方法の例を以下に説明する。

【0022】即ち、図2(A)～図2(C)及び図3

(A)～図3(D)に示す様に、シリコン基板101の上に適宜の下地層102を形成した後、当該下地層102上に、第1の配線103を形成する。次いで、当該第1の配線103を上から覆う様に、例えば酸化シリコン膜等からなる、第1の層間絶縁膜104を塗布し、その上に、更に低誘電率である第2の層間絶縁膜105が形成される。

【0023】その後、当該第2の層間絶縁膜105上には第3の層間絶縁膜106が形成されている。それらの絶縁膜の上には第2の配線107が形成されている。前記第1の配線103と第2の配線107はヴィア120で接続されている構造を持つ。そのヴィア120の側面部の絶縁膜として、本発明に於て、定義する保護膜109が薄く形成されている。

【0024】ヴィア120の側面部の保護膜109があるところが本発明の構造上の特徴である。ここでそれぞれの構成される要素を記述する。前記第1の層間絶縁膜104としてはプラズマTEOS酸化膜、モノシラン系のプラズマシリコン酸化膜、モノシラン系プラズマシリコン酸化膜、モノシラン系シリコン酸化膜、フッ素を含有するプラズマシリコン酸化膜のなかのいずれかが使用できる。

【0025】次に低誘電率膜である第2の層間絶縁膜105は、例えば、HSQ、有機SOG、またはSi-H結合、Si-CH₃結合で少なくとも一部が形成されているものが構成されている。この第2の層間絶縁膜105のヴィア120の周りの保護膜109に接するところと他の部分の膜質変化はない。

【0026】本発明に於いては、当該保護膜109は、前記第2の層間絶縁膜105が水素プラズマで形成された水素化された層で構成されることが望ましい。係る保

護層109は、特性的には、通常の第2の層間絶縁膜105の部分に比べて硬化された状態を呈している。

【0027】またヴィア120は窒化チタン膜、チタン膜または両方をバリアメタルに使用したタンゲステンCVD膜が使用される。本発明に係る当該半導体装置の製造方法の一具体例を説明するならば、基板101上に形成されている層間絶縁膜間105に配線部103が設けられている半導体装置の製造方法であって、当該半導体装置の製造方法は、当該半導体基板上に適宜の配線部を形成する第1の工程、当該配線部を有する半導体基板上に低比誘電率を呈する材料で構成された層間絶縁膜を形成する第2の工程、当該層間絶縁膜上にフォトレジストを塗布し、当該フォトレジスト層に設けた所定のパターン開口部をマスクとして、当該層間絶縁膜をエッチングして当該配線部に到達する溝部状の開口部を形成する第3の工程、当該半導体基板に於ける当該溝部状の開口部の内壁部表面に保護膜を形成する第4の工程、及び当該フォトレジスト層を剥離する第5の工程、とから構成されている半導体装置の製造方法である。

【0028】本発明に係る当該半導体装置の製造方法に於いては、当該低比誘電率を呈する材料は、Si-H結合若しくはSi-CH₃結合を含む絶縁材料から選択された一つの絶縁材料で構成されるものである。又、本発明に於いては、上記した当該第4の工程は、水素原子を含むプラズマを使用して当該保護膜を形成するものである事が望ましい。

【0029】一方、本発明に係る当該半導体装置の製造法に於て、当該第5の工程が、少なくとも酸素プラズマを使用して当該フォトレジスト層を剥離除去する工程とフッ化アンモニウムもしくはアミンを含む剥離液により当該フォトレジスト層を剥離除去する工程の何れかを含んでいるものである事が望ましい。

【0030】以下に、本発明に係る半導体装置の製造方法についてより詳細に具体例を説明する。先ず、本発明に於いては、シリコン基板101にトランジスタ等の素子(図示せず)が形成され、表面に絶縁膜を有する下地102上に、スパッタ法によりアルミニウムAl(銅を使用する場合もある)層103を300nm~800nmの厚みに形成する。

【0031】かかるAl配線103は、図2(A)に示す様に、その下部に下層素子等との接合のための、厚みが30nm~200nmであるTiN/Ti等のバリアメタル130が設けられており、また、その上部にはリソグラフィー時の反射防止膜としてTiN等の膜131が10nm~100nmの厚みで形成されている。続いて当該下地102と当該配線部103の表面全体に、後述する低誘電率を呈する第2の層間絶縁膜であるHSQ樹脂と基板101若しくは当該下地102との密着性を向上させる目的で、第1層間絶縁膜104を塗布成膜する。

【0032】当該第1層間絶縁膜104は、例えば、プラズマCVD法等でシリコン酸化膜あるいは、フッ素含有シリコン酸化膜、またはシリコン酸化膜をパターンに沿って20nm~100nmの厚みを以てコンフォーマルに成膜する。当該第1層間絶縁膜104は、層間絶縁膜105全体の比誘電率を下げるために、可能な限り薄く成膜する方がよい。

【0033】次に本発明に於いては、当該第1の層間絶縁膜104の表面にHSQ樹脂で形成される第2層間絶縁膜105を200nm~1000nmの厚さになるよう塗布し、100~150°C、150~250°C、250~300°Cの温度条件で各1~10分程度、窒素雰囲気下において加熱を行い仮焼成する。この仮焼成したHSQからなる第2の層間絶縁膜105を有する半導体装置を焼成炉へ入炉し、350~500°C窒素雰囲気下で約1時間程度焼成する事によって図2(A)に示す構造の半導体装置が形成される。

【0034】次いで、当該第2の層間絶縁膜105の上に、第3層間絶縁膜106をプラズマCVD法で100nm~2000nmの厚みになる様に形成し、更に当該第3層間絶縁膜106の上にフォトレジスト層110を積層させた後、当該フォトレジスト層110を所定のパターンを使用して開口部を形成する。その後、当該パターンングされたフォトレジスト層110をマスクとして、当該第3と第2の層間絶縁膜106と105及び第1の層間絶縁膜104にエッチング処理を行い、図2(B)に示す様に、ヴィアホール111を形成する。

【0035】ここで、基板101をプラズマが発生させることができるチャンバーへ導入する。本発明に於いて、プラズマを発生させる方法としては、例えば、平行平板型リアクターあるいは、ICP、ヘリコン、ECR、マイクロ波等のソースを使用してプラズマを発生させることが可能である。これらのチャンバーに、例えば、窒素を100sccm~1000sccm、または、水素を50sccm~500sccm、あるいは両方、または窒素、水素を構成元素中に含むアンモニアガス等を導入し、チャンバー内温度を100°C~300°Cに設定する。

【0036】マイクロ波を使用する場合は、パワーを500W~1500Wかけて、窒素プラズマ、または水素プラズマ、あるいは両方のプラズマを発生する。この処理により、HSQ膜表面部の膜が緻密になり、図2(C)に示す様に、表面の一部にSi-N結合及びSi-H結合が形成された保護膜109ができる。

【0037】この処理により、300~600Wのパワー、酸素を100~400sccm程度導入することによるフォトレジスト剥離処理を5分程度行って、図3(A)に示す様に、当該フォトレジストを剥離処理した後でも、HSQ膜は殆ど劣化しない事が判明した。係る構造の半導体装置のヴィアホール111に所定の金属を

埋め込む事により、コンタクトを形成し、図3 (D) に示す様に当該コンタクトの上面に第2の配線107を形成して、所望の半導体装置が完成する。

【0038】しかし、実験の結果、当該フォトレジストの剥離処理に際し、10分以上酸素プラズマ処理を実施すると、当該HSQ膜105の表面が劣化しはじめる。そこで、図3 (B) に示す様に、再び図2 (C) と同様な条件で、窒素或いは水素を含有するガスによるプラズマ処理を行う。その結果、酸素プラズマ処理により一部形成されたSi-OH結合を、Si-N結合或いはSi-H結合に変換することができる。また、この処理によりHSQ膜層表面は再び緻密なり、Si-N結合やSi-H結合が形成される。すなわち保護膜109が再形成される。

【0039】このHSQ膜の保護膜109により、続いて実施されるウェット剥離液による、フォトレジスト剥離残りの除去、及びエッティング残さ処理においてアミン原子団を有するエタノールアミン等の剥離液や、フッ化アンモニウムを含むウェット剥離液を使用しても保護膜109に守られている第2の層間絶縁膜105であるHSQ膜の膜質劣化が起こらない。

【0040】特に、フッ化アンモニウムを含むウェット剥離液を使用した場合に懸念される、HSQ膜自身のエッティングも全く起こらず、図3 (C) に示す様に、ヴィアパターンがボーリング形状のようになる事はない。又、本発明に於いて、アミンを含有する剥離液は、エタノールアミンを10~90v/o 1%含有しており、フッ化アンモニウムを含有した剥離液の場合は、0.1v/o 1%から5v/o 1%のフッ化アンモニウムを含有しているものを使用する場合もある。

【0041】係る場合には、処理温度は25°Cから90°Cで、10秒から10分程度行う事が望ましい。最後にヴィアパターン部120にタンクステン等の金属でヴィア121を埋め込み、続いて第2配線層107を形成する事によって図3 (D) に示す様な半導体装置200が完成する。

【0042】尚、本実施例においては、酸素プラズマ剥離を実施する前、及び、ウェット剥離液による処理を実施する前に、窒素或いは水素を含有するガスによるプラズマ処理の例を示したが、何れか一方のみの処理の前に実施する場合もある。上記した本発明に係る第1の具体例に於いては、窒素或いは水素によるプラズマ処理を実施し、HSQ膜の表面改質し、保護膜を形成することにより、酸素プラズマ処理によるHSQ膜が劣化を防止することができる。

【0043】さらに、アミン原子団を含有する剥離液、フッ化アンモニウムを含有する剥離液による処理を実施しても、HSQ膜の膜質劣化が起こらないだけでなく、HSQ膜自身がフッ化アンモニウムでエッティングされることもなくなり、ヴィアのボーリング形状等の形成を防

止できる。よって、ヴィア間リードやショート、さらに次工程での金属埋設不良等が起こらなくなる。また、Si-OH結合が処理後に形成されていないため、HSQ膜の比誘電率が増加しないと言う効果が期待出来る。

【0044】次に、本発明に係る半導体装置及びその製造方法に係る第2の具体例を図4及び図5を参照しながら詳細に説明する。即ち、本発明に係る当該第2の具体例に於ける半導体装置200としては、例えば、図4に示されている様に、基板201上に形成されている層間絶縁膜204間に設けられている開口部210を有する溝部211内に、一端部が当該基板201又は下地202に接する配線部208が埋め込まれており、且つ当該開口部210に於ける当該配線部208に對向する内壁部の表面部に保護膜207が形成されている半導体装置200である。

【0045】本具体例に於ける当該層間絶縁膜204は、前記具体例と同様に低比誘電率を呈する材料で構成されている事が望ましく又、当該低比誘電率を呈する材料は、Si-H結合若しくはSi-CH₃結合を含む絶縁材料から選択された一つの絶縁材料で構成されるものである事が望ましい。更に、本発明に於ける当該第2の具体例に於いては、当該開口部210を除く当該層間絶縁膜204の表面には、当該層間絶縁膜204とは異なる絶縁膜層、例えばTEOS酸化膜等で構成された絶縁膜層205が形成されている事が望ましい。

【0046】即ち、本発明に係る第2の具体例に於ける半導体装置の上記第1の具体例と異なる点は、上記第1の具体例が配線部を形成した後に、当該層間絶縁膜を加工して保護膜を形成している構造に対して、本第2の具体例に於いては、層間絶縁膜を加工した後に金属を埋め込む構造になっている所にある。つまり、それぞれの構造の要素は第1の具体例の記載と同様なものが可能である。

【0047】即ち、当該第2の具体例に於いては、シリコン基板201に形成されたトランジスタを含む下地202上に、第1のプラズマTEOS酸化膜203、有機SOG204、第2のプラズマTEOS酸化膜205が順に下から形成されている。前記上層の3層が加工され、その加工された溝部211に溝配線用メタル208が形成されている。

【0048】その溝配線用メタル208の側壁部に接する、当該層間絶縁膜204の表面には有機SOG保護層207が形成されている。本発明に係る当該半導体装置の製造方法の一具体例を説明するならば、基板201上に形成されている層間絶縁膜204間に配線部208が設けられている半導体装置200の製造方法であって、当該半導体装置の製造方法は、当該半導体基板201上に低比誘電率を呈する材料で構成された層間絶縁膜204を形成する第1の工程、当該層間絶縁膜204上にフォトレジスト206を塗布し、当該フォトレジスト層2

06に設けた所定のパターン開口部230をマスクとして、当該層間絶縁膜204をエッティングして当該基板201に迄到達する溝部状の開口部231を形成する第2の工程、当該半導体基板201に於ける当該溝部状の開口部231の内壁部表面に保護膜207を形成する第3の工程、当該フォトレジスト層206を剥離する第4の工程、当該溝部状開口部231内に金属配線層208を埋め込む第5の工程、とから構成されている半導体装置の製造方法で有る。

【0049】本具体例に於ける当該低比誘電率を呈する材料は、Si-H結合若しくはSi-CH₃結合を含む絶縁材料から選択された一つの絶縁材料で構成されるものであり、又、当該第4の工程は、酸素、窒素、水素の内から選択された少なくとも一つの原子を含むプラズマを使用して当該保護膜207を形成するものである事が望ましい。

【0050】更には、当該第4の工程は、オゾンを使用して当該保護膜を形成するものであっても良く、又酸素、窒素、水素の内から選択された少なくとも一つの原子を含む雰囲気中若しくはオゾンを含む雰囲気中で紫外線照射を行うことにより当該保護膜を形成するものであっても良い。又、当該第2の具体例に於いては、当該第4の工程と当該第5の工程の間に、更に、当該フォトレジスト層の残さ及びドライエッティング時の堆積物を剥離液により除去する第4aの工程を含んでいる事が望ましい。

【0051】当該第4aの工程が、少なくともフッ化アンモニウムもしくはアミンを含む剥離液により当該フォトレジスト層を剥離除去する工程を含んでいる事が望ましい。本発明に係る当該第2の具体例の構成をより詳細に説明するならば、当該第2の具体例に於いては、まず、シリコン基板201に形成されたトランジスタを含む下地202に第1のプラズマTEOS酸化膜203を約100nm形成する。その上にSi-CH₃結合を含む有機SOG膜204（ここでもちいた有機SOGはメチルシルセスキオキサンで誘電率は2.8のものを使用）を約500nmを塗布しその後約200°C程度のホットプレートでの処理を実施し焼成炉で約400°Cで1時間焼成を実施する。

【0052】さらにその上に第2のプラズマTEOS酸化膜205を150nm形成する。次に、その上にフォトレジスト206を形成し露光および現像によりフォトレジスト206の加工を実施する。そのフォトレジスト206をマスクにして、フロロカーボン系のガスにより第2のプラズマTEOS酸化膜205、有機SOG204そして第1のプラズマTEOS酸化膜203の加工を実施する。

【0053】ここで常圧雰囲気で300°Cに加熱されたプレート上にウエハを設置し、O₃（オゾン）ガス雰囲気でUV（ウルトラバイオレット）光を照射しながら処

理を行う。前記エッティング加工により有機SOG204の側壁がむき出しになったところにこの処理がされた場合、有機SOG204の表面部のみのSi-CH₃結合部がUV光により励起されたO₃ガスにより容易に破壊されSi-O結合に置き換わり有機SOG保護層207が形成される（図4（A））。

【0054】ここでエッティング加工の形状が逆テーパであったとしてもリアクティブイオンエッチ等のイオンの入りかたよりも、UV-O₃処理は等方的におこるため、十分に側壁の保護がされ、エッティング加工の形状には関係がなく効果を発揮できる。またこの方法では有機SOGの側壁部の保護膜207の膜厚すなわち酸化深さは約50nm程度と薄くとどまつた。この後、フォトレジストを酸素ガスを用いたICPのプラズマアッシングにより除去する。

【0055】この時有機SOG204はUV/O₃処理により側壁の表面が有機SOG保護層207で形成されているため、その内部は劣化することがなくSi-CH₃結合が吸湿を導くSi-OH結合にかわることがない。次にウェット剥離を実施する。そしてこの溝部231にバリアメタルとしてMOCVD法によるTiN膜を50nm形成し真空を破らずに連続して引き続きCVD法によるCu-CVD膜を50nm形成した。

【0056】その後めっき法によるCu膜を約800nm形成し図での溝配線用メタル208を前面に形成した（図5（B））。そしてその後メタルCMPを実施し溝配線用メタル208を溝部231のみに形成する（図5（C））。この保護膜形成方法は、ガスをO₃ガスを用いたが、たとえばNH₃、N₂H₂、N₂H₄、等N_XH_Y（X=1,2 Y=2~4）ガスを使用した窒化されるものであってもよい。

【0057】またここでは有機SOGの例を説明したがHSQ膜であっても同様な効果は期待できる。またSi-H結合、Si-CH₃結合を含むもの膜に適用できることはいうまでもない。有機SOGを含む絶縁膜をフォトレジストマスクで加工後、フォトレジストを剥離する前に紫外光UV（Ultra Violet）光を照射しながらO₃ガス雰囲気またはN_XH_Y（X=1~2、Y=2~4）ガス雰囲気でウエハを処理することにより有機SOG表面に保護層が形成される。

【0058】その保護層が、後工程の酸素アッシングおよびウェット剥離処理による有機SOGの劣化から保護するため、メタルの埋め込み不良や、有機SOGの誘電率の増加がおこらない。

【0059】

【発明の効果】本発明に係る半導体装置及び当該半導体装置の製造方法は、上記した様な技術構成を採用していることから、各種パターン形成に使用したフォトレジストを酸素プラズマ処理で除去する際、及びエッティング残さを除去する際に使用するウェット剥離液で、HSQ膜

および有機SOGが劣化、及びそれらの膜自体がエッチングされる事がないので、比誘電率の低い絶縁層間膜を持つた半導体装置を製造する事が可能となる。

【図面の簡単な説明】

【図1】図1は本発明に係る半導体装置の一具体例の構造を示す断面図である。

【図2】図2(A)～図2(C)は、本発明に係る半導体装置の製造方法の一具体例の製造工程をその手順に従って示した断面図である。

【図3】図3(A)～図3(D)は、本発明に係る半導体装置の製造方法の一具体例の製造工程をその手順に従って示した断面図である。

【図4】図4は、本発明に係る半導体装置の他の具体例の構造を示す断面図である。

【図5】図5(A)～図5(C)は、従来の半導体装置の製造方法の一具体例をその製造工程手順に従って示した断面図である。

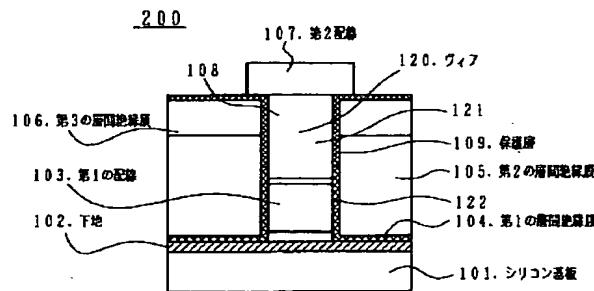
【図6】図6(A)～図6(B)は、従来の半導体装置

の構造を示す断面図である。

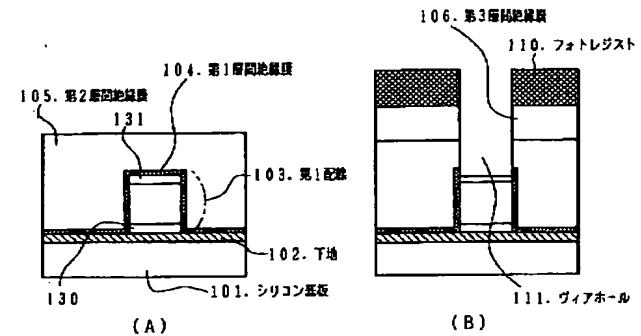
【符号の説明】

- 1、101、201…シリコン基板
- 2、102、202…下地
- 3、103…第1の配線部
- 4、104、203…第1の絶縁層間膜
- 5、105、204…第2の絶縁層間膜、HSQ膜
- 6、106、205…第3の絶縁層間膜
- 10、200…半導体装置
- 107…第2の配線部
- 108…開口部
- 109、207…保護膜
- 110、206…フォトレジスト層
- 111、120…ヴィアホール部
- 121…コネクタ一部
- 122…開口部内壁の表面部
- 208…溝配線用メタル

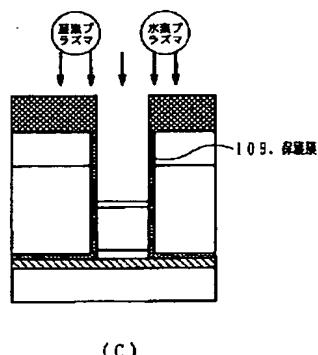
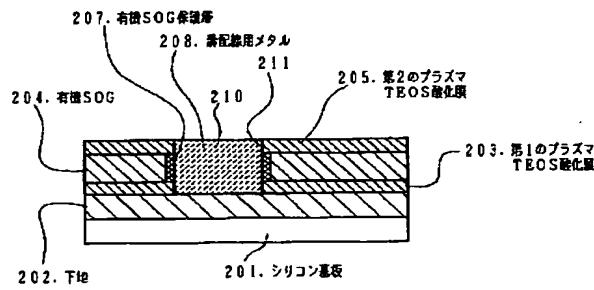
【図1】



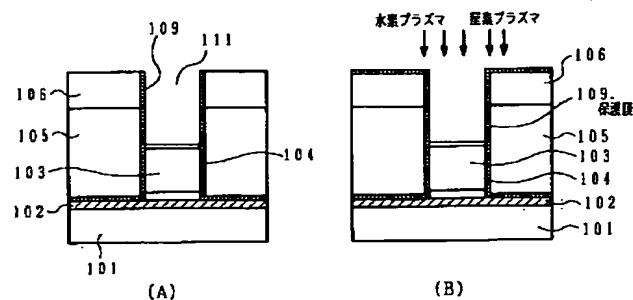
【図2】



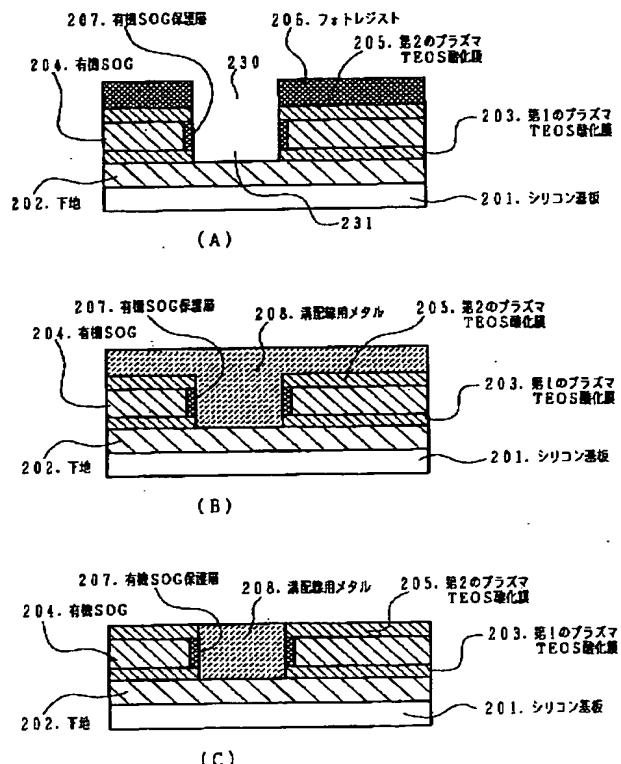
【図4】



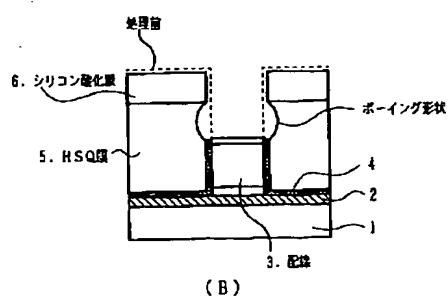
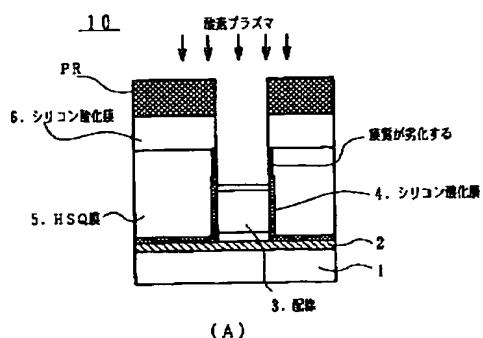
【図3】



【図5】



【図6】



フロントページの続き

(56)参考文献 特開 平8-316228 (JP, A)
 特開 平5-13405 (JP, A)
 特開 平5-55387 (JP, A)
 特開 平1-198050 (JP, A)
 特開 平11-87503 (JP, A)
 特開 平9-330979 (JP, A)

(58)調査した分野(Int.Cl.7, DB名)
 H01L 21/31 - 21/3213
 H01L 21/768